

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-260650

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

H01L 29/784

H01L 21/266

H01L 21/324

H01L 27/092

(21)Application number : 05-071103

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 05.03.1993

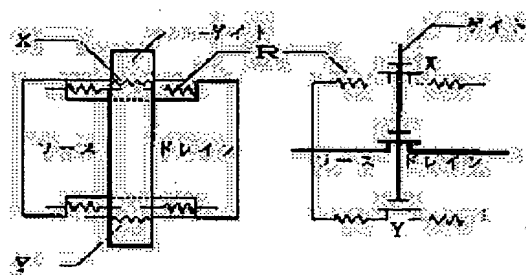
(72)Inventor : CHIYOU KOUYUU
TAKEMURA YASUHIKO

(54) THIN-FILM TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To prevent the deterioration of the coverage at the end of the semiconductor region of a gate insulating film and prevent the drop of reliability and deterioration of yield rate and property by having a substantially intrinsic region in contact with the semiconductor region, in the semiconductor region at the section where the gate electrode is not provided.

CONSTITUTION: Since one part of an island-shaped semiconductor region has become an intrinsic semiconductor region, the resistance is high, and this resistor R is inserted in series into a parasitic TFT, and it become such structure that the voltage of a source and a drain is not applied directly to the parasitic TFT. Moreover, in the case that a region of the same conductivity type as a channel formation area is provided, the conductivity type is reverse to that of the source and drain, so a barrier equivalent to a resistor is formed by PN junction. Accordingly, even if excessive voltage is applied to the gate electrode, the voltage is reduced by the resistor inserted in series to the source and drain of the parasitic resistor, and the parasitic TFT is not broken, and the drop of reliability and the deterioration of yield rate and property can be solved.



LEGAL STATUS

[Date of request for examination]

03.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The thin film transistor characterized by the thing which touch around a semiconductor region, and for which it has a genuineness field substantially in the semiconductor region of a part in which said gate electrode is not prepared in the thin film transistor which has an island-shape thin film semiconductor field and the gate electrode which crosses said semiconductor region.

[Claim 2] The production approach of the thin film transistor which are the process which forms an island-shape thin film semiconductor field, the process which crosses said thin film semiconductor field and forms a gate electrode, and a field including the edge of said semiconductor region, carries out the mask of the field where some gate electrodes are contained to this field, and is characterized by to have the process which introduces an impurity into said thin film semiconductor field, and forms the source and a drain field in it.

[Claim 3] The production approach of the thin film transistor characterized by having the process which exposes this thin film semiconductor field front face after impurity installation using this mask, and the process which irradiates laser or a strong light equivalent to it after that in claim 2.

[Claim 4] The thin film transistor to which the conductivity type of the field which touches around a semiconductor region is characterized by the channel formation field and the substantially same thing in the semiconductor region of a part in which said gate electrode is not prepared in the thin film transistor which has an island-shape thin film semiconductor field and the gate electrode which crosses said semiconductor region.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure and the production approach of a thin film transistor (TFT). The thin film transistor produced by this invention is formed in all on semi-conductor substrates, such as single crystal silicon, on insulating substrates, such as glass.

[0002]

[Description of the Prior Art] Conventionally, after the thin film transistor carried out patterning of the thin film semiconductor field (barrier layer) to island shape and formed it, as gate dielectric film, by the CVD method or the spatter, it formed the insulating coat and formed the gate electrode on it.

[0003]

[The technical problem which invention will solve and to carry out] The insulating coat formed by the CVD method or the spatter had bad step coverage (step coverage nature), and it had had the bad influence on dependability, or the yield and a property. A-A' of drawing which looked at the conventional typical TFT from the top, and its drawing, and the sectional view in alignment with B-B' are shown in drawing 3. TFT is formed on a substrate 31, a thin film semiconductor field is located under an impurity range (the source, a drain field, and here show the conductivity type of N type) 33, and the gate electrode 37, and is substantially divided into the intrinsic channel formation field 32, this semiconductor region is covered, and gate dielectric film 35 is formed. A contact hole can open in an impurity range 33 through the layer insulation object 39, and an electrode and wiring 38 are formed in it.

[0004] As shown in drawing, the covering nature in the edge of the semiconductor region of gate dielectric film 35 is remarkably bad, and, only as for the one half of the thickness of a flat part, thickness exists typically. Generally, when an island-shape semiconductor region is thick, it is excessive. The A-A' cross section which met especially the gate electrode shows the bad influence which aggravation of such covering nature has on the property of TFT, dependability, and the yield. That is, if the field 36 shown with the dotted-line circle in the A-A' sectional view of drawing 5 is observed, the electric field of the gate electrode 37 will be intensively impressed to the edge of a thin film semiconductor field. That is, since the thickness of gate dielectric film is the one half of a flat part in this part, that field strength is because it doubles.

[0005] Consequently, the gate dielectric film of this field 36 is long duration, or is easily destroyed by high electrical-potential-difference impression. If the signal impressed to a gate electrode is forward, since the semi-conductor of this field 36 is also N type, the gate electrode 37 and an impurity range 38 (especially drain field) flow, and it becomes

the cause of a dependability fall.

[0006] Moreover, if it happens that the trap of a certain charge is carried out, for example, the trap of the negative charge is carried out when gate dielectric film is destroyed, are almost concerned, there is nothing on the electrical potential difference impressed to a gate electrode, the semi-conductor of a field 36 will present N type, two impurity ranges 38 will flow, and a property will be degraded. Moreover, in order to use TFT, without causing the above degradation, only the electrical potential difference of the one half in the case of being ideal can be impressed, and the engine performance cannot fully be used.

[0007] Moreover, by electrification in a production process etc., such a weak part's existing in a part of TFT is that TFT is destroyed easily, and it becomes the big factor of a yield fall. Let it be a technical problem for this invention to solve such a problem.

[0008]

[The means for solving invention] In this invention, it is characterized by compensating by using the semi-conductor of a weak field as the high intrinsic semiconductor of resistance, or the same conductivity type as a channel formation field electrically in this way. The typical structure of this invention is shown in drawing 1. As shown in drawing 1 (A), by this invention, the intrinsic field, or a channel formation field and the field 14 of the same conductivity type was established in the part made into the impurity range (the source, drain) by the conventional TFT [near the part which the gate electrode 11 crosses at the edge of an island-shape semiconductor region]. That is, in TFT of this invention, the field 14 of the same conductivity type as a genuineness field or a channel formation field exists substantially in an island-shape semiconductor region about the part which is not covered with a gate electrode in addition to impurity range (source, drain) 13 by which the impurity was doped.

[0009] Although another example of this invention is shown in drawing 1 (B), the configuration of an island-shape semiconductor region is only different, and substantial structure is the same as drawing 1 (A). In addition, 16 in drawing shows the source and the electrode linked to a drain.

[0010] Thus, the effectiveness of the field of the same conductivity type as the genuineness field 14 or a channel formation field having been prepared is explained by drawing 4. Drawing 4 (A) shows the conventional structure and the conventional equal circuit of TFT. Although X in drawing and Y are parts into which a gate electrode crosses an island-shape semiconductor region, the gate dielectric film of this part is thinner than a flat part as it was described previously. Therefore, as shown in an equal circuit, the low parasitism TFT of a threshold or pressure-proofing is formed rather

than original TFT.

[0011] If an excessive electrical potential difference is impressed to a gate, before original TFT is destroyed, this parasitism TFT is destroyed, Parasitism TFT serves as a mere conductor and the leakage current between the source and a drain or between the source and a gate increases.

[0012] On the other hand, this inventions are structure as shown in drawing 4 (B), and an equal circuit. It is the same as that of the conventional case that Parasitism TFT, X, and Y is formed also in this invention. However, in this invention, since a part of island-shape semiconductor region turned into an intrinsic-semiconductor field, resistance is high, and this resistance R is inserted in Parasitism TFT at a serial, and serves as the source and the structure where the electrical potential difference of a drain is not directly impressed to Parasitism TFT. Moreover, since the conductivity type of the source and a drain is reverse when the field of the same conductivity type as a channel formation field is prepared, the barrier equivalent to resistance is formed of a PN junction.

[0013] Therefore, when an excessive electrical potential difference is impressed to a gate electrode, an electrical potential difference is reduced by the above-mentioned resistance inserted in the source of parasitism resistance, and a drain at the serial, and Parasitism TFT is not destroyed. Consequently, degradation of the fall of the dependability it was unreliable on a problem in the conventional TFT, the yield, and a property is solved.

[0014] The process which carries out this invention is briefly explained using drawing 1 (C) - (H). First, the island-shape semiconductor region 10 is formed on a substrate. Usually, although this semiconductor region is genuineness substantially, you may be weak N type or P type. (Drawing 1 (C))

[0015] And after forming gate dielectric film, as shown in drawing 1 (D), the gate electrode 11 is formed. Then, an impurity is poured into drawing 1 (E) as shown in 12. Consequently, an impurity range 13, an impurity range, and the field 14 across which it faced with the gate electrode are formed like drawing 1 (F). When a field 14 is made into the field shown by the 2-5-micrometer dimension, it is desirable. The conductivity type of this field is the same as the conductivity type of an island-shape semi-conductor, if an island-shape semi-conductor is genuineness, this field 14 is also genuineness, and typical resistivity is 10⁶. It is more than ωcm .

[0016] Signs that the gate electrode of TFT shown by drawing 1 (F) was removed are shown in drawing 1 (G). The conductivity type of the channel formation field 15 and the field 14 shown by drawing 1 (F) is the same so that clearly from this drawing. The

source is formed at the end, an electrode 16 is formed in a drain, and TFT is completed.

(Drawing 1 (H))

[0017] In this invention, for example, in forming only one of TFT(s) of an N channel mold or a P channel mold on a substrate, one process of photolithography increases, but if this takes into consideration improvement in the property acquired by this invention, dependability, and the yield, it will not serve as a failure at all.

[0018] Furthermore, the effectiveness will become clearer if this invention is applied to the complementary circuit (CMOS circuit) where TFT of an N channel mold and a P channel mold is intermingled. In a CMOS circuit, the simplest production approach introduces the impurity of N type or P type all over a substrate first, subsequently masks a required part and introduces the impurity of the reverse conductivity type which negates the impurity introduced previously. This approach is temporarily called the 1st approach. However, by this 1st approach, although the N type field was the dose of $1 \times 10^{15} \text{cm}^{-2}$, the dose of $5 \times 10^{15} \text{cm}^{-2}$ was required and the P type field might be unable to balance the N channel mold TFT and the P channel mold TFT in pressure-proofing, a threshold, etc., for example.

[0019] But a positive approach is the approach of masking first and introducing N type or a P type impurity, and masking again next and introducing the impurity of the reverse conductivity type of a previous impurity. This approach is called the 2nd approach. In this case, since the concentration of an N type impurity and a P type impurity can completely be set up independently, a property ideal as a CMOS circuit is expectable. However, compared with the 1st approach, one photolithography process will be added in this case.

[0020] If it is going to carry out this invention to N type and P type TFT(s) [both] in a CMOS circuit, an N type impurity and a P type impurity must be masked separately, and must be introduced. Therefore, the 2nd approach of the two above-mentioned approaches will be adopted. It is as having explained previously that the property that the 2nd approach is acquired although a production process becomes complicated is excellent. And since the effectiveness of this invention is acquired in addition to the effectiveness, the demerit of one photolithography process being added will be negated completely. When producing a CMOS circuit, an example is shown especially in the following about the case where this invention is carried out.

[0021]

[Example] The sectional view of the making process of this example is shown in drawing 2. The substrate film 21 of oxidation silicon with a thickness of 2000Å was formed by sputtering on the substrate (Corning 7059) 20. Furthermore, 500-1500Å in thickness

and the 1500A amorphous silicon film were deposited by the plasma-CVD method. Then, the oxidation silicon film with a thickness of 200A was deposited as a protective coat by the sputtering method. And under reducing atmosphere, at 600 degrees C, this was annealed for 48 hours and crystallized. The method which uses strong light, such as laser, is sufficient as a crystallization process. And patterning of the obtained crystal silicone film was carried out, and the island-shape silicon fields 22P and 22N were formed.

[0022] Next, the oxidation silicon film 23 with a thickness of 1000A was deposited as gate dielectric film by the sputtering method, and 6000-8000A in thickness and a 6000A silicone film (0.01 - 2% of phosphorus is included) were succeedingly deposited with the reduced pressure CVD method. In addition, as for the membrane formation process of this oxidation silicon and a silicone film, it is desirable to carry out continuously. And patterning of the silicone film was carried out and the gate electrodes 24P and 24N were formed. (Drawing 2 (A))

[0023] Next, the mask of semiconductor region 22P was carried out by photoresist 25N, and the impurity (phosphorus) was poured into 22 Ns of silicon fields by using 24 Ns of wiring as a mask by the plasma doping method. If it considers as the ingredient of a mask 25, metallic materials, such as chromium, titanium, titanium nitride, and aluminum, and a metal nitride ingredient can also be used. The pattern of doping was made into the configuration as shown in drawing 1 (E). Acceleration voltage was made into 60-90kV, for example, 80kV, using phosphoretted hydrogen (PH₃) as doping gas. The amount of DOSU was made into 1×10^{15} - $8 \times 10^{15} \text{cm}^{-2}$, $1 \times 10^{15} \text{cm}^{-2}$ [for example,]. Consequently, 26 Ns of impurity ranges of N type were formed. It was removed resist mask 25N after doping termination by the ashing (ashing) process in the inside of an oxygen ambient atmosphere. Typical ashing conditions were 1Torr and RF power 300W. [0024] Moreover, when activated with laser, before removing a resist mask, it is good later for a hydrofluoric acid to remove alternatively the oxidation silicon 23 on 22Ns of silicon fields. At the time of laser radiation, this is effective, when preventing that irregularity arises on a front face when oxidation silicon 23 and 22 Ns of silicon fields react. (Drawing 2 (B))

[0025] Furthermore, the mask of the 22 Ns of the semiconductor regions was carried out by photoresist 25P, and the impurity (boron) was poured into silicon field 22P by using wiring 24P as a mask by the plasma doping method this time. The pattern of doping was made into the configuration as shown in drawing 1 (E) also in this case. Acceleration voltage was made into 20-70kV, for example, 65kV, using diboron hexahydride (B₂ H₆) as doping gas. The amount of DOSU was made into 1×10^{15} - $8 \times 10^{15} \text{cm}^{-2}$, $1 \times 10^{15} \text{cm}^{-2}$

[for example,]. Consequently, impurity range 26P of P type were formed. Resist mask 25P were removed by the ashing process after doping. (Drawing 2 (C))

[0026] Then, the impurity was activated by annealing at 600 degrees C for 48 hours among reducing atmosphere. Laser annealing may perform this process. in that case -- as laser -- a KrF excimer laser (wavelength of 248nm), a XeF excimer laser (wavelength of 353nm), a XeCl excimer laser (wavelength of 308nm), an ArF excimer laser (wavelength of 193nm), etc. -- using -- the energy density of laser -- 200 - 350 mJ/cm², for example, 250 mJ/cm, ** -- carrying out -- 2-10 shots per place -- for example, two shots should just irradiate. At the time of laser radiation, a substrate may be heated at about 200-450 degrees C. When a substrate is heated, it must be cautious of the optimal laser energy consistency changing.

[0027] It formed by the plasma-CVD method by having used 3000-10000Å after activation of an impurity, then in thickness, and the 6000Å oxidation silicon film 27 as the layer insulation object, the contact hole was formed in this, and Wiring 28P and 28N was formed by the multilayers of a metallic material, for example, titanium nitride, and aluminum. The semiconductor circuit of CMOS was completed according to the above process. (Drawing 2 (D))

[0028]

[Effect of the Invention] By this invention, the yield of TFT was raised, and the dependability was raised, and it became possible to pull out the maximum property. and ** -- the merit of being able to carry out without facing acquiring big effectiveness like and being especially accompanied by big process modification and investment, and ED is large. Although this invention explained taking the case of TFT on an insulating substrate, it cannot be overemphasized that it can carry out also to TFT formed on a single crystal semiconductor substrate. Thus, this invention is useful invention on industry.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The configuration of TFT of this invention and the conceptual diagram of the production approach are shown.

[Drawing 2] The making process cross section of TFT of an example is shown.

[Drawing 3] The example of a configuration of the conventional TFT is shown.

[Drawing 4] This invention and the electrical property of the conventional TFT are explained.

[Description of Notations]

- 10 ... Island-shape semiconductor region
- 11 ... Gate electrode
- 12 ... Impurity installation field
- 13 ... Impurity range (the source, drain)
- 14 ... Field where an impurity was not introduced
- 15 ... Channel formation field
- 16 ... A source electrode, drain electrode

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-260650

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/266				
21/324				
	Z	8617-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 R
		8617-4M	21/ 265	M
審査請求 未請求 請求項の数 4 F D (全 6 頁) 最終頁に続く				

(21)出願番号 特願平5-71103

(22)出願日 平成5年(1993)3月5日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

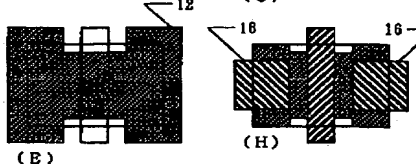
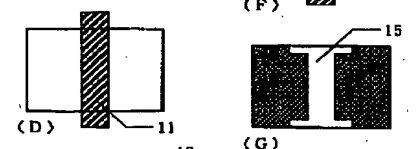
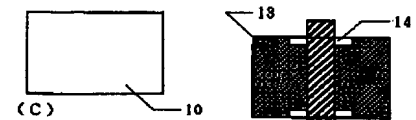
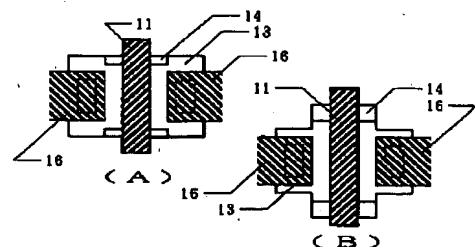
導体エネルギー研究所内

(54)【発明の名称】 薄膜トランジスタおよびその作製方法

(57)【要約】

【目的】 薄膜トランジスタにおいて、ゲート電極・配線と薄膜半導体領域（活性層）との間の信頼性を向上させ、特性の改善を図る。

【構成】 島状の薄膜半導体領域の端部、特にゲート電極が横断する部分に隣接する領域を真性半導体もしくはチャネル形成領域と同じ導電型とすることにより、この部分でのゲート絶縁膜の破壊を防止する。



BEST AVAILABLE COPY

(2)

1

【特許請求の範囲】

【請求項 1】 島状の薄膜半導体領域と、前記半導体領域を横断するゲイト電極とを有する薄膜トランジスタにおいて、前記ゲイト電極が設けられていない部分の半導体領域において、半導体領域の周辺に接する実質的に真性な領域を有することを特徴とする薄膜トランジスタ。

【請求項 2】 島状の薄膜半導体領域を形成する工程と、前記薄膜半導体領域を横断してゲイト電極を形成する工程と、前記半導体領域の端部を含む領域であり、該領域にはゲイト電極の一部が含まれている領域をマスクして前記薄膜半導体領域に不純物を導入してソース、ドレイン領域を形成する工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項 3】 請求項 2 において、不純物導入後、該マスクを用いて、該薄膜半導体領域表面を露出する工程と、その後、レーザーもしくはそれと同等な強光を照射する工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項 4】 島状の薄膜半導体領域と、前記半導体領域を横断するゲイト電極とを有する薄膜トランジスタにおいて、前記ゲイト電極が設けられていない部分の半導体領域において、半導体領域の周辺に接する領域の導電型がチャネル形成領域と実質的に同じであることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ（TFT）の構造および作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。

【0002】

【従来の技術】従来、薄膜トランジスタは、薄膜半導体領域（活性層）を島状にパターンニングして、形成した後、ゲイト絶縁膜として、CVD法やスパッタ法によって絶縁被膜を形成し、その上にゲイト電極を形成した。

【0003】

【発明が解決しようする課題】CVD法やスパッタ法で形成される絶縁被膜はステップカバレッジ（段差被覆性）が悪く、信頼性や歩留り、特性に悪影響を及ぼしていた。図 3 には従来の典型的な TFT を上から見た図、およびその図面の A-A'、B-B' に沿った断面図を示す。TFT は基板 31 上に形成され、薄膜半導体領域は不純物領域（ソース、ドレイン領域、ここでは N 型の導電型を示す）33 とゲイト電極 37 の下に位置し、実質的に真性のチャネル形成領域 32 に分けられ、この半導体領域を覆って、ゲイト絶縁膜 35 が設けられる。不純物領域 33 には、層間絶縁物 39 を通してコンタクトホールが開けられ、電極・配線 38 が設けられる。

【0004】図から分かるように、ゲイト絶縁膜 35 の

2

半導体領域の端部における被覆性は著しく悪く、典型的には平坦部の厚さの半分しか厚みが存在しない。一般に島状半導体領域が厚い場合には甚だしい。特にゲイト電極に沿った A-A' 断面からこのような被覆性の悪化が TFT の特性、信頼性、歩留りに及ぼす悪影響が分かる。すなわち、図 5 の A-A' 断面図において点線円で示した領域 36 に注目してみれば、ゲイト電極 37 の電界が薄膜半導体領域の端部に集中的に印加される。すなわち、この部分ではゲイト絶縁膜の厚さが平坦部の半分であるので、その電界強度は 2 倍になるためである。

【0005】この結果、この領域 36 のゲイト絶縁膜は長時間のあるいは高い電圧印加によって容易に破壊される。ゲイト電極に印加される信号が正であれば、この領域 36 の半導体も N 型であるので、ゲイト電極 37 と不純物領域 38（特に、ドレイン領域）が導通してしまい、信頼性低下の原因となる。

【0006】また、ゲイト絶縁膜が破壊された際には、何らかの電荷がトラップされることが起こり、例えば、負の電荷がトラップされれば、ゲイト電極に印加される電圧にほとんど関わりなく、領域 36 の半導体は N 型を呈し、2 つの不純物領域 38 が導通することとなり、特性を劣化させる。また、以上のような劣化を引き起こさずに TFT を使用するには、理想的な場合の半分の電圧しか印加できず、性能を十分に利用することができない。

【0007】また、TFT の一部にこのような弱い部分が存在するということは製造工程における帯電等によって容易に TFT が破壊されることであり、歩留り低下の大きな要因となる。本発明はこのような問題を解決することを課題とする。

【0008】

【発明を解決するための手段】本発明では、このように電氣的に弱い領域の半導体を抵抗の高い真性半導体、あるいはチャネル形成領域と同じ導電型とすることによって補うことを特徴とする。本発明の典型的な構造を図 1 に示す。図 1 (A) に示すように、本発明では、島状半導体領域の端部でゲイト電極 11 が横断する部分の近傍において、従来の TFT では不純物領域（ソース、ドレイン）とされていた部分に真性の領域もしくはチャネル形成領域と同じ導電型の領域 14 を設けた。すなわち、本発明の TFT では、島状半導体領域において、ゲイト電極で覆われていない部分に関して、不純物がドーピングされた不純物領域（ソース、ドレイン）13 以外に、実質的に真性な領域もしくはチャネル形成領域と同じ導電型の領域 14 が存在する。

【0009】図 1 (B) には、本発明の別な例を示すが、島状半導体領域の形状が違っただけで、実質的な構造は図 1 (A) と同じである。なお、図中の 16 はソース、ドレインに接続する電極を示す。

【0010】このように、真性な領域 14 もしくはチャ

50

(3)

3

ネル形成領域と同じ導電型の領域が設けられたことの効果は図4で説明される。図4(A)は従来のTFTの構造および等価回路を示す。図中のX、Yは島状半導体領域をゲイト電極が横断する部分であるが、この部分のゲイト絶縁膜は先に述べた通り、平坦な部分よりも薄い。したがって、等価回路に示すように本来のTFTよりもしきい値や耐圧の低い寄生TFTが形成されている。

【0011】もし、ゲイトに過大な電圧が印加されると、本来のTFTが破壊される前に、この寄生TFTが破壊されて、寄生TFTは単なる導体となり、ソース、ドレイン間、もしくはソース、ゲイト間のリーク電流が増大する。

【0012】一方、本発明は図4(B)に示すような構造、および等価回路である。本発明においても寄生TFT、X、Yが形成されるのは従来の場合と同様である。しかしながら、本発明では島状半導体領域の一部が真性半導体領域となったために抵抗が高く、この抵抗Rは寄生TFTに直列に挿入されて、ソース、ドレインの電圧が直接、寄生TFTに印加されない構造となる。また、チャンネル形成領域と同じ導電型の領域を設けた場合には、その導電型はソース、ドレインとは逆であるので、PN接合によって抵抗と同等なバリアが形成される。

【0013】したがって、過大な電圧がゲイト電極に印加された場合においても、寄生抵抗のソース、ドレインに直列に挿入された上記の抵抗によって電圧が減じられ、寄生TFTが破壊されることがない。この結果、従来のTFTにおいて問題となった信頼性の低下、歩留り、特性の劣化は解決される。

【0014】本発明を実施する工程を図1(C)～

(H)を用いて簡単に説明する。まず、基板上に島状半導体領域10を形成する。通常はこの半導体領域は実質的に真性であるが、弱いN型もしくはP型であってもよい。(図1(C))

【0015】そして、ゲイト絶縁膜を形成した後、図1(D)に示すようにゲイト電極11を設ける。その後、図1(E)に12で示すように不純物を注入する。この結果、図1(F)のように、不純物領域13と不純物領域とゲイト電極で挟まれた領域14が形成される。領域14は2～5μmのディメンションで示される領域とすると好ましい。この領域の導電型は島状半導体の導電型と同じで、島状半導体が真性であれば、この領域14も真性であり、典型的な抵抗率は $10^6 \Omega \text{cm}$ 以上である。

【0016】図1(G)には、図1(F)で示されたTFTのゲイト電極を除去した様子を示す。この図から明らかなように、チャンネル形成領域15と図1(F)で示した領域14の導電型は同じである。最後にソース、ドレインに電極16を形成してTFTが完成する。(図1(H))

【0017】本発明においては、例えば、基板上にNチ

4

ャネル型もしくはPチャネル型のどちらか一方のTFTだけを形成する場合にはフォトリソグラフィの工程が1つ増加するが、このことは、本発明によって得られる特性、信頼性、歩留りの向上を勘案すれば何ら障害とはならない。

【0018】さらに、本発明をNチャネル型とPチャネル型のTFTが混在する相補型回路(CMOS回路)に適用するとその効果はより明らかになる。CMOS回路においては、最も簡便な作製方法は、最初にN型もしくはP型の不純物を基板全面に導入し、ついで、必要な箇所をマスクングして、先に導入された不純物を打ち消すだけの逆の導電型の不純物を導入するものである。この方法を仮に第1の方法と称する。しかしながら、この第1の方法では、例えば、N型領域は $1 \times 10^{15} \text{cm}^{-2}$ のドーズ量であるのに、P型領域は、 $5 \times 10^{15} \text{cm}^{-2}$ のドーズ量が要求され、耐圧、しきい値等においてNチャネル型TFTとPチャネル型TFTのバランスが取れないことがあった。

【0019】もっとも、確実な方法は、最初にマスクングを施して、N型もしくはP型不純物を導入し、次に再びマスクングを施して先の不純物の逆の導電型の不純物を導入する方法である。この方法を第2の方法と称する。この場合には、N型不純物とP型不純物の濃度を全く独立に設定できるのでCMOS回路として理想的な特性を期待できる。しかし、この場合には、第1の方法に比べてフォトリソグラフィ工程が1つ追加されることとなる。

【0020】本発明をCMOS回路において、N型、P型両TFTに実施しようとするれば、N型不純物とP型不純物を別々にマスクングして導入せざるをえない。したがって、上記2つの方法のうちの第2の方法を採用することとなる。第2の方法は、製造工程が複雑になるのであるが、得られる特性が優れたものであることは先に説明した通りである。そして、その効果に加えて本発明の効果が得られるのであるから、フォトリソグラフィ工程が1つ追加されることのデメリットは完全に打ち消されてしまう。以下には、特にCMOS回路を作製する上で、本発明を実施する場合について実施例を示す。

【0021】

【実施例】図2に本実施例の作製工程の断面図を示す。基板(コーニング7059)20上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。引き続き、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを還元雰囲気下、600℃で48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜をパターニングして、島状シリコン領域22P、22N、

(4)

5

を形成した。

【0022】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜23をゲイト絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.01~2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的にこなうことが望ましい。そして、シリコン膜をパターンニングして、ゲイト電極24P、24Nを形成した。(図2(A))

【0023】次に、半導体領域22Pをフォトリジスト25Nでマスクして、プラズマドーピング法によって、シリコン領域22Nに配線24Nをマスクとして不純物(燐)を注入した。マスク25の材料としては、この他にもクロム、チタン、窒化チタン、アルミニウム等の金属材料、金属窒化物材料も使用できる。ドーピングのパターンは図1(E)に示されるような形状とした。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $1 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域26Nが形成された。ドーピング終了後、レジストマスク25Nは酸素雰囲気中でのアッシング(灰化)工程によって除去された。典型的なアッシング条件は1 Torr、RFパワー300Wであった。

【0024】また、後で、レーザーによって活性化をおこなう場合には、レジストマスクを除去する前に、フッ化水素酸によって、シリコン領域22N上の酸化珪素23を選択的に除去するとよい。これは、レーザー照射時に、酸化珪素23とシリコン領域22Nが反応することによって表面に凹凸が生じることを防止する上で効果的である。(図2(B))

【0025】さらに、今度は、半導体領域22Nをフォトリジスト25Pでマスクして、プラズマドーピング法によって、シリコン領域22Pに配線24Pをマスクとして不純物(ホウ素)を注入した。この場合もドーピングのパターンは図1(E)に示されるような形状とした。ドーピングガスとして、ジボラン(B₂H₆)を用い、加速電圧を20~70kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $1 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、P型の不純物領域26Pが形成された。ドーピング後、レジストマスク25Pはアッシング工程によって除去された。(図2(C))

【0026】その後、還元雰囲気中、600℃で48時間アニールすることによって、不純物を活性化させた。

6

この工程はレーザーアニールによっておこなってもよい。その場合には、レーザーとしてはKrFエキシマーレーザー(波長248nm)、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用い、レーザーのエネルギー密度は、 $200 \sim 350 \text{ mJ/cm}^2$ 、例えば 250 mJ/cm^2 とし、1か所につき2~10ショット、例えば2ショット照射すればよい。レーザー照射時に、基板を200~450℃程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。

【0027】不純物の活性化後、続いて、厚さ3000~10000Å、例えば6000Åの酸化珪素膜27を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線28P、28Nを形成した。以上の工程によってCMOSの半導体回路が完成した。(図2(D))

20 【0028】

【発明の効果】本発明によって、TFTの歩留りを向上させ、また、その信頼性を高め、最大限の特性を引き出すことが可能となった。しかも、かように大きな効果を得るに際して、特に大きなプロセス変更や投資、技術開発を伴わないで実施できることのメリットは大きい。本発明では絶縁基板上的TFTを例にとりて説明したが、単結晶半導体基板上に形成されるTFTにも実施できることは言うまでもない。このように本発明は工業上、有益な発明である。

30 【図面の簡単な説明】

【図1】 本発明のTFTの構成および作製方法の概念図を示す。

【図2】 実施例のTFTの作製工程断面を示す。

【図3】 従来のTFTの構成例を示す。

【図4】 本発明および従来のTFTの電気特性を説明する。

【符号の説明】

10・・・島状半導体領域

11・・・ゲイト電極

12・・・不純物導入領域

13・・・不純物領域(ソース、ドレイン)

14・・・不純物の導入されなかった領域

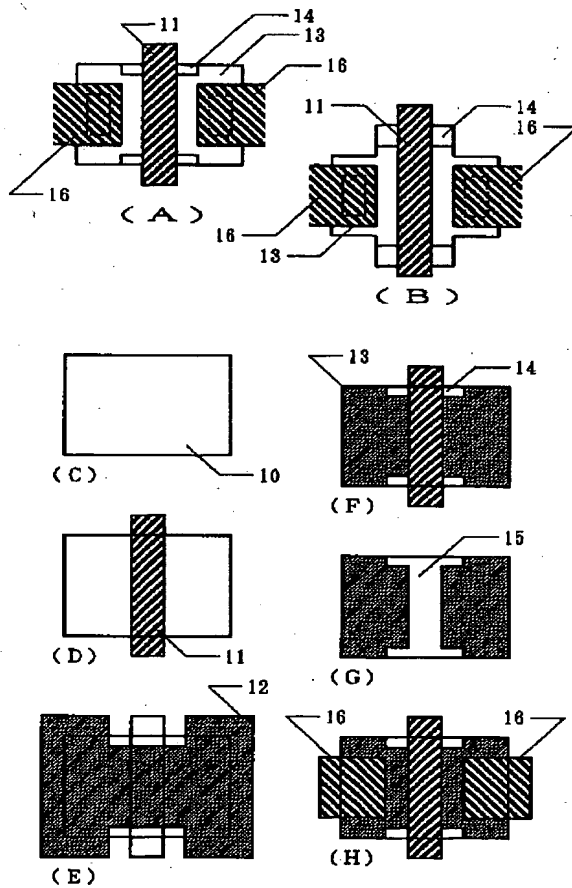
15・・・チャネル形成領域

16・・・ソース電極、ドレイン電極

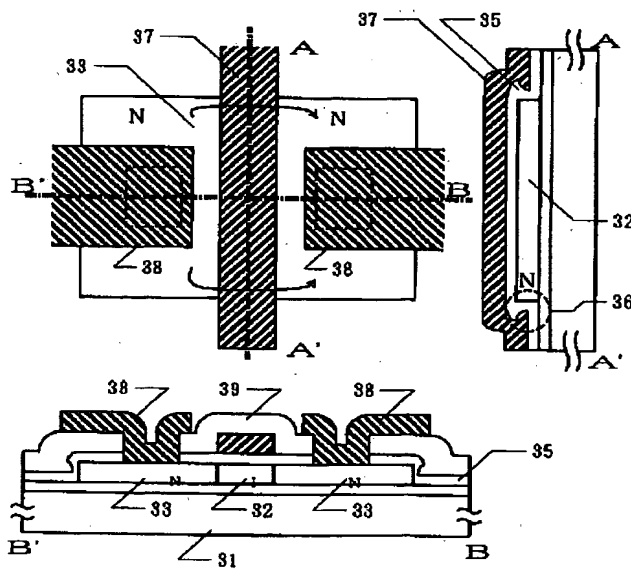
40

(5)

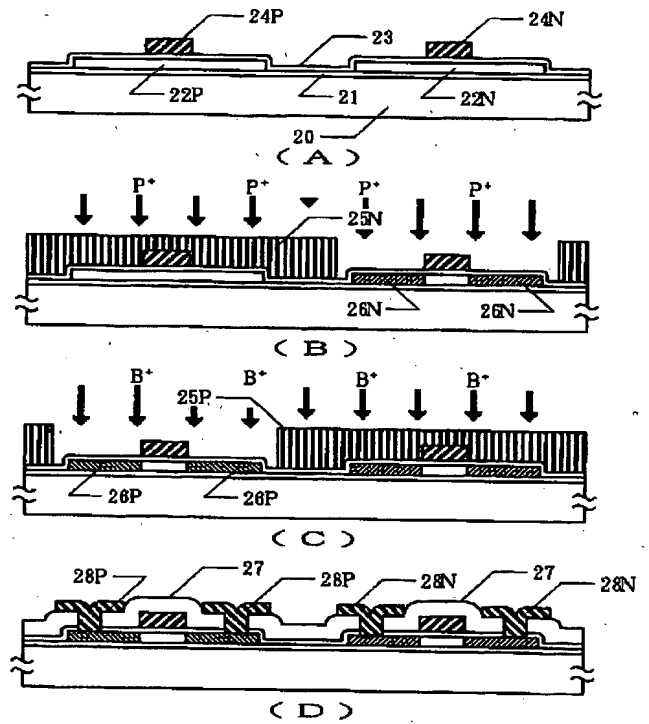
【図1】



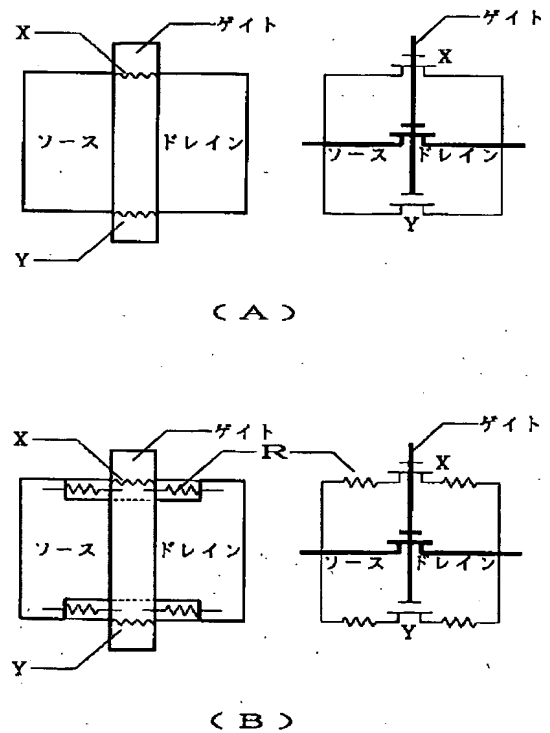
【図3】



【図2】



【図4】



(6)

フロントページの続き

(51) Int. Cl. ⁵

H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

9170-4M

H 0 1 L 27/08

3 2 1 B

9056-4M

29/78

3 1 1 G